



ADAMS & WILKS
ATTORNEYS AND COUNSELORS AT LAW
17 BATTERY PLACE
SUITE 1231
NEW YORK, NEW YORK 10004

BRUCE L. ADAMS
VAN C. WILKS*

JOHN R. BENEFIEL*
FRANCO S. DE LIGUORI^o
TAKESHI NISHIDA

*NOT ADMITTED IN NEW YORK
^o REGISTERED PATENT AGENT

RIGGS T. STEWART
(1924-1993)

TELEPHONE
(212) 809-3700

FACSIMILE
(212) 809-3704

January 26, 2007

Mail Stop Issue Fee
COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, VA 22313-1450

Re: Patent Application
of Satoshi MACHIDA
Appln. No. 10/784,494

Filing Date: February 23, 2004
Docket No. S004-5216

S I R:

The above-identified application was filed claiming the right of priority based on the following foreign application(s).

Japanese Patent Appln. No. 2003-049573 filed February 26, 2003;
Japanese Patent Appln. No. 2003-049574 filed February 26, 2003;
Japanese Patent Appln. No. 2003-149268 filed May 27, 2003; and
Japanese Patent Appln. No. 2004-023097 filed January 30, 2004

Certified copy(s) are annexed hereto and it is requested that these document(s) be placed in the file and made of record.

Respectfully submitted,

ADAMS & WILKS
Attorneys for Applicant(s)

By: 
Bruce L. Adams
Reg. No. 25,386

MAILING CERTIFICATE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first-class mail in an envelope addressed to: Mail Stop Issue Fee, COMMISSIONER FOR PATENTS, P.O. Box 1450, Alexandria, Virginia, 22313-1450, on the date indicated below.

Thomas Tolve
Name


Signature

JANUARY 26, 2007
Date

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 1月30日

出願番号
Application Number: 特願2004-023097

ST. 10/C]: [JP2004-023097]

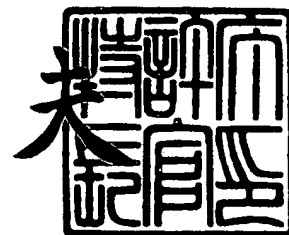
願人
Applicant(s): セイコーインスツルメンツ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 2月20日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 04000019
【提出日】 平成16年 1月30日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 31/02
【発明者】
 【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメン
 ツ株式会社内
 【氏名】 町田 聡
【特許出願人】
 【識別番号】 000002325
 【氏名又は名称】 セイコーインスツルメンツ株式会社
 【代表者】 茶山 幸彦
【代理人】
 【識別番号】 100096378
 【弁理士】
 【氏名又は名称】 坂上 正明
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 49573
 【出願日】 平成15年 2月26日
 【整理番号】 03000141
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 49574
 【出願日】 平成15年 2月26日
 【整理番号】 03000142
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-149268
 【出願日】 平成15年 5月27日
 【整理番号】 03000353
【手数料の表示】
 【予納台帳番号】 008246
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0103799

【書類名】 特許請求の範囲**【請求項 1】**

前半の期間と後半の期間に分けて入力される入力信号を、前記前半の期間にサンプルし前記後半の期間にホールドするサンプルホールド回路と、
前記サンプルホールド後の信号と前記入力される信号との差を取り出す減算器と、
前記減算器からの信号が入力される電圧クランプ回路と、を有する信号処理回路において、

前記電圧クランプ回路は、前記前半の一部または全部の期間にクランプすることを特徴とする信号処理回路。

【請求項 2】

前記信号処理回路は、光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号と前記光電変換手段の基準となる基準信号とを入力する信号処理回路であって、

前記前半の期間に前記光信号を入力し、前記後半の期間に前記基準信号を入力する、または、前記前半の期間に前記基準信号を入力し、前記後半の期間に前記光信号を入力することを特徴とする請求項 1 記載の信号処理回路。

【請求項 3】

前記電圧クランプ回路からの信号を前記後半の期間にサンプルし、その後ホールドする回路を設けたことを特徴とする請求項 1 または 2 記載の信号処理回路。

【請求項 4】

前記信号処理回路は、前記電圧クランプ回路からの信号を増幅するゲインアンプをさらに含み、前記ゲインアンプの基準電圧と、前記電圧クランプ回路においてクランプする第 1 の基準電圧とが共通することを特徴とする請求項 1 または 2 記載の信号処理回路。

【請求項 5】

前記減算器の基準電圧と、前記電圧クランプ回路においてクランプする第 1 の基準電圧とが共通することを特徴とする請求項 1 または 2 記載の信号処理回路。

【請求項 6】

請求項 2 記載の信号処理回路は、光電変換手段とともに 1 つの半導体基板上に形成されたイメージセンサー IC。

【請求項 7】

請求項 2 記載の信号処理回路と光電変換手段を含むイメージセンサー。

【請求項 8】

光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号と、前記光電変換手段の基準となる基準信号を、順に共通信号線に読み出す読み出し手段と、

前記共通信号線からの信号が入力されるサンプルホールド回路と、

前記サンプルホールド後の信号と前記入力される信号との差を取り出し増幅する減算器と、を有することを特徴とするイメージセンサー。

【請求項 9】

光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号を保持する第 1 の保持手段と、

前記光電変換手段の基準となる基準信号を保持する第 2 の保持手段と、

前記保持された光信号と前記基準信号とを順に共通信号線に読み出す読み出し手段と、

前記共通信号線からの信号が入力されるサンプルホールド回路と、

前記サンプルホールド後の信号と前記入力される信号との差を取り出し増幅する減算器と、を有することを特徴とするイメージセンサー。

【請求項 10】

光電変換装置と、

前記光電変換装置の信号を入力する信号処理回路と、

前記信号処理回路の出力に接続する信号出力端子と、

前記信号処理回路の基準電圧に接続する基準電圧端子と、

基準電圧回路と、

前記基準電圧回路と前記基準電圧端子の間に設けられた抵抗と、を有し、

前記信号処理回路は、前記光電変換装置の光電変換手段の光電変換領域に入射した光で発生した電荷の蓄積を行った後に得られる光信号と、前記光電変換手段の基準となる信号を、前半の期間と後半の期間に分けて入力し、前記入力される信号を前記前半の期間にサンプルし前記後半の期間にホールドするサンプルホールド回路と、前記サンプルホールド後の信号と前記入力される信号との差を取り出す減算器と、前記減算器からの信号を前記前半の期間にクランプするクランプ回路と、を有し、

前記電圧クランプ回路の基準電圧または前記減算器の基準電圧が、前記基準電圧端子により与えられることを特徴とするイメージセンサー IC。

【請求項 11】

請求項 10 記載のイメージセンサー IC を複数設けた密着型イメージセンサーにおいて、前記イメージセンサー IC の基準電圧端子を互いに電氣的に接続したことを特徴とする密着型イメージセンサー。

【請求項 12】

前記クランプ後の信号を増幅するゲインアンプを設け、前記ゲインアンプの基準電圧は、前記基準電圧端子により与えられることを特徴とする請求項 10 記載のイメージセンサー IC。

【請求項 13】

複数の光電変換手段と、

前記光電変換手段にそれぞれ接続する前期光電変換手段を初期化する複数のリセットスイッチと、からなるイメージセンサー IC において、

前記複数のリセットスイッチは基準電圧端子に電氣的に接続することを特徴とするイメージセンサー IC。

【請求項 14】

前記複数の光電変換手段の出力を入力する信号処理回路を内蔵し、前記信号処理回路の基準電圧が、前記基準電圧端子により与えられることを特徴とする請求項 13 記載のイメージセンサー IC。

【請求項 15】

基準電圧回路を内蔵し、前記基準電圧回路と前記基準電圧端子の間に抵抗が設けられたことを特徴とする請求項 13 記載のイメージセンサー IC。

【請求項 16】

複数の光電変換手段と、

前記光電変換手段にそれぞれ接続する前期光電変換手段を初期化する複数のリセットスイッチと、

光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号を保持する第 1 の保持手段と、

前記光電変換手段の基準となる基準信号を保持する第 2 の保持手段と、

前記保持された光信号と基準信号を順に共通信号線に読み出す読み出し手段と、からなるイメージセンサー IC において、

前記複数のリセットスイッチが基準電圧端子に電氣的に接続することを特徴とするイメージセンサー IC。

【請求項 17】

請求項 13 から 16 のいずれかに記載したイメージセンサー IC を複数有し、各イメージセンサー IC の前記基準電圧端子を互いに電氣的に接続したことを特徴とするイメージセンサー。

【請求項 18】

少なくとも前半期間と後半期間とを有する入力信号を入力するサンプルホールド回路と、前記サンプルホールド回路からの信号と前記入力信号とを入力する減算器と、前記減算器からの信号と基準電圧とを入力する電圧クランプ回路を有する信号処理回路の信号処理

方法において、

前記サンプルホールド回路は前記入力信号の前半期間において前記入力信号を保持して前記減算器へ出力し、前記減算器は前記後半期間において前記サンプルホールド回路からの信号と前記入力信号との差信号を前記クランプ回路に出力し、前記電圧クランプ回路は前記前半期間に前記電圧クランプ回路の出力を前記基準電圧にクランプし、次に、前記後半期間に前記基準電圧に前記差信号を重畳させることを特徴とする信号処理方法。

【請求項 1 9】

前記サンプルホールド回路からの出力信号及び前記入力信号を増幅して前記減算器に入力することを特徴とする請求項 1 8 に記載の信号処理方法。

【書類名】明細書

【発明の名称】信号処理回路、イメージセンサー IC および信号処理方法

【技術分野】

【0001】

本発明は、イメージセンサー等のアナログ信号を処理する信号処理回路に関する。また、この信号処理回路を搭載したリニアイメージセンサーやエリアイメージセンサーに関する。また、本発明は、リニアイメージセンサー IC を複数実装した密着型イメージセンサーに関する。

【背景技術】

【0002】

従来例 1 のイメージセンサーの回路図、図 19 と、タイミングチャート、図 20 を用いて説明する（例えば、特許文献 1 参照）。

【0003】

この発明は、チップ間段差に起因する FPN を除去し、ダーク補正を必要としない高性能の密着型イメージセンサを提供することを目的としている。

この発明は、複数の光電変換手段の光信号とノイズ信号とをそれぞれ読み出して保持する信号保持手段と、前記信号保持手段の光信号とノイズ信号とをそれぞれ出力する共通出力線と、該共通出力線をそれぞれリセットするリセット手段と、該それぞれの共通出力線から出力する読み出し手段とを有する半導体光センサチップが実装基板上に複数実装されたセンサモジュールと、前記センサモジュールにおいて、各センサチップのノイズ信号及び光信号を入力する光信号入力バッファ手段と、前記ノイズ信号入力バッファアンプと前記光信号入力バッファアンプとの差分をとる差動手段と、前記差動手段の出力をクランプする電圧クランプ手段と、を同一半導体基板上に形成された半導体装置からなることを特徴とする密着型イメージセンサにおいて、前記電圧クランプ手段は、前記光信号共通出力線、及び前記ノイズ信号共通出力線がリセットされている状態をクランプすることを特徴としている。

また、アンプチップ 200 とセンサチップ 100 は別チップで構成されている。

【0004】

また、従来例 2 のイメージセンサー IC の回路図を図 21 にタイミングチャートを図 22 に示す（例えば、特許文献 2 参照）。

フォトダイオード 101 の N 型領域が正電源電圧端子 VDD に接続しており、P 型領域がリセットスイッチ 102 のドレインとソースフォロアアンプ 103 のゲートに接続している。リセットスイッチ 102 のソースには基準電圧 VREF1 が与えられている。ソースフォロアアンプ 103 の出力端子であるソースは、読み出しスイッチ 105 と定電流源 104 につながっている。定電流源 104 のゲートは基準電圧 VREFA の定電圧が与えられている。図 8 に示す光電変換ブロック A_n の枠の内側の要素は画素数分設けられており、各ブロックの読み出しスイッチ 105 は共通信号線 106 に接続している。なお、光電変換ブロック A_n は n ビット目の光電変換ブロックを示している。

【0005】

共通信号線 106 は、抵抗 110 を通じてオペアンプ 109 の反転端子に入力しており、オペアンプ 109 の出力端子がチップセレクトスイッチ 112 と容量 113 を介して出力端子 116 につながっている。共通信号線 106 は、信号線リセットスイッチ 107 に接続し、信号線リセットスイッチ 107 のソースには基準電圧 VREF2 が与えられている。オペアンプ 109 の出力端子と反転端子の間には抵抗 111 が接続されていて、オペアンプ 109 の非反転端子は一定電圧 VREF3 に固定されている。オペアンプ 109、抵抗 110、抵抗 111 で反転増幅器 D が形成されている。

【0006】

イメージセンサーの出力端子 116 は、MOS トランジスタ 114 のドレインに接続し、MOS トランジスタ 114 のソースには基準電圧 VREF4 が与えられている。また、イメージセンサーの出力端子 116 には、寄生容量などの容量 115 も接続されている。

容量 113、容量 115、MOS トランジスタ 114 で電圧クランプ回路 C が構成されている。

【特許文献 1】特開平 11-112015 号公報（第 4-5 頁、第 1 図）

【特許文献 2】特開平 11-239245 号公報（第 3-4 頁、図 1）

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、従来例 1 のイメージセンサーにおいては、アンプチップ 200 とセンサチップ 100 とを分離して設ける必要があるため、構成要素が多くなる欠点があった。すなわち、アンプチップは基準信号と光信号の差を増幅するが、各アンプ 201、202、203 のオフセットのため、センサチップに内蔵すると、センサチップ間でオフセットの差が出てしまうという問題があった。また、アンプチップの回路は、基準信号と光信号が同一の共通信号線に順に出力されるタイプのセンサチップに対応できないという問題があった。さらに増幅機能を持たせると、アンプのオフセットも増幅されてしまうという問題もあった。

【0008】

また、従来例 2 のイメージセンサーにおいては、VREF3 の電圧と、端子 106 の電圧との差が大きいと反転増幅器 D の出力が、出力範囲外になり易いという問題があった。すなわち、VREF3 の電圧と端子 106 の電圧との差が、転増幅器 D のゲイン倍で増幅されるので、反転増幅器 D のゲインが大きいと、反転増幅器 D の出力が、出力範囲外になってしまう。また、ソースフォロア回路 103 のオフセットはビットごとにばらつくが、VREF3 の電圧は、一定であるので、全ビットの出力に対して、光電変換特性の広い直線領域を確保するのが困難であった。

【0009】

また、従来例 2 のイメージセンサーにおいては、光電荷蓄積後、光信号を読み出してから、フォトダイオードをリセットし、その後基準信号を読み出し、光信号と基準信号の差をとるので、基準信号と光信号に乗っているリセットノイズが異なる。すなわち、異なった、タイミングのリセットノイズを比較するため、ランダムノイズが大きいという問題があった。特に、リセット電圧 VREF1 は、通常各イメージセンサー IC の内部の基準電圧回路から供給される。このためリセット電圧には、熱雑音が含まれる。通常熱雑音は、基準電圧に大きな容量を接続することで低減することができるが、IC 内部に大きな容量を設けることができないので、これらの雑音を低減することは難しい。このため、リセットする度に、フォトダイオードのリセットレベルが、揺らいでしまう。したがって、読み取りラインごとに信号レベルが変動し、読み取り画像に筋が入ってしまうという問題があった。また、各イメージセンサー IC のリセット電圧が異なるので、フォトダイオードの逆バイアスが IC ごとに違うので、感度が IC ごとにばらつくという問題もあった。

【課題を解決するための手段】

【0010】

従来のこのような問題点を解決するために、本発明は、光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号と、前記光電変換手段の基準となる信号を、前半の期間と後半の期間に分けて入力し、前半の期間にサンプルし後半の期間にホールドするサンプルホールド回路と、サンプルホールド後の信号と入力される信号との差を取り出す減算器と、減算器からの信号が入力される電圧クランプ回路とを有する信号処理回路において、電圧クランプ回路は、前記前半の一部または全部の期間に第 1 の基準電圧にクランプすることを特徴とする信号処理回路とした。

【0011】

この信号処理回路によれば、前半の期間と後半の期間の減算器の出力には同じオフセット電圧が乗っており、電圧クランプ回路で、この前半と後半の減算器の出力の差を取り出すので、基準電圧を基準とした、減算器のオフセットをキャンセルした信号を取り出すことができる。したがって、固定パターンノイズの小さい光電変換装置を得ることができる。

。

【0012】

また、減算器の2つの入力端子に入力される信号のレベルは、1つの入力信号から分かれて作られるので、差が小さくできる。したがって、減算器のゲインが大きくても、出力の有効範囲を広くできる。

【0013】

また、光電変換手段と信号処理回路が1つの半導体基板上に形成されたイメージセンサーICを複数実装し、各イメージセンサーICに供給する基準電圧を共通にすれば、全ての各イメージセンサーICの出力のチップ間の暗出力段差を小さくできる。

【0014】

また、本発明は、光電変換装置と、前記光電変換装置の信号を入力する信号処理回路と、前記信号処理回路の出力に接続する信号出力端子と、前記信号処理回路に接続する基準電圧端子と、基準電圧回路と、前記基準電圧回路と前記基準電圧端子の間に設けられた抵抗とからなるイメージセンサーICとし、

前記信号処理回路は、前記光電変換装置の光電変換手段の光電変換領域に入射した光で発生した電荷の蓄積を行った後に得られる光信号と、前記光電変換手段の基準となる信号を、前半の期間と後半の期間に分けて入力し、前記入力される信号を前記前半の期間にサンプルし前記後半の期間にホールドする機能と、前記サンプルホールド後の信号と前記入力される信号との差を取り出し増幅する減算機能と、前記増幅された信号を前記前半の期間にクランプする機能とを設けた信号処理回路であり、前記クランプ機能の基準電圧は、前記基準電圧端子に接続することを特徴とした。

【0015】

また、複数の前記イメージセンサーICの基準電圧端子を電氣的に接続したことを特徴とする密着型イメージセンサーとした。

【0016】

この信号処理回路によれば、前半の期間と後半の期間の減算器の出力には同じオフセット電圧が乗っており、電圧クランプ回路で、この前半と後半の減算器の出力の差を取り出すので、基準電圧を基準とした、減算器のオフセットをキャンセルした信号を取り出すことができる。したがって、固定パターンノイズの小さいイメージセンサーICを得ることができる。また、イメージセンサーICを複数実装し、各イメージセンサーICに供給する基準電圧を共通にしたので、全ての各イメージセンサーICの出力のチップ間の暗出力段差を小さくできる。

【0017】

また、この基準電圧は、各イメージセンサーIC内の基準電圧回路の発生する基準電圧の平均値となるので、外部から基準電圧を供給する必要が無い。したがって、簡単な構成で固定パターンノイズの小さい密着型イメージセンサーを供給できる。

【0018】

また、本発明は、複数の光電変換手段となるフォトダイオードと、前記光電変換手段にそれぞれ接続する前期光電変換手段を初期化する複数のリセットスイッチからなるイメージセンサーICにおいて、前記複数のリセットスイッチの片方の端子が基準電圧端子に電氣的に接続することを特徴とするイメージセンサーICとした。

【0019】

また、前記複数の光電変換手段の出力が入力する信号処理回路を内蔵し、前記信号処理回路の基準電圧が、前記基準電圧端子に電氣的に接続することを特徴とするイメージセンサーICとした。

【0020】

また、基準電圧回路を内蔵し、前記基準電圧回路と前記基準電圧端子の間に抵抗が設けられたことを特徴とするイメージセンサーICとした。

さらに上記の、複数のイメージセンサーICの前記基準電圧端子を互いに電氣的に接続したことを特徴とするイメージセンサーとした。

【0021】

このイメージセンサーによれば、全てのイメージセンサー IC のフォトダイオードのリセット電圧が同じになるので、IC ごとの感度のばらつきを小さくできる。また、共通にした基準電圧端子と GND などの間に、大きな容量を入れて、基準電圧の熱雑音を低減することで、読み取り画像に筋が入ってしまうという問題を解決できる。

【発明の効果】**【0022】**

以上説明したように、本発明は、固定パターンノイズの小さい光電変換装置が得られる。したがって、簡単な構成で、暗出力のばらつきが小さいイメージセンサー IC を供給できる。

また、このイメージセンサー IC を複数個直線状に実装した、密着型イメージセンサーを作製した場合、チップ間の暗出力の段差を小さくできる。

また、簡単な構成で、IC ごとの感度のばらつきを小さくできる。また、読み取り画像に筋が入ってしまうという問題を解決できる。

【発明を実施するための最良の形態】**【0023】****【実施例 1】****【0024】**

以下、本発明を、図面を用いて説明する。図 1 は、本発明の第 1 の実施形態に係る信号処理回路のブロック図である。入力端子 V IN に入力した信号は、サンプルホールド回路 21 とバッファアンプ 23 に入力する。サンプルホールド回路 21 の出力はバッファアンプ 22 に入力する。バッファアンプ 22 の出力とバッファアンプ 23 の出力は、減算器 24 に入力し、減算器 24 の出力は電圧クランプ回路 25 に入力する。減算器 24 と電圧クランプ回路 25 の基準電圧は、共通にすることができ V REF 端子につながっている。電圧クランプ回路 25 の出力はバッファアンプ 26 に入力する。なおバッファアンプ 26 は、増幅回路に置き換えてもよい。さらに、この増幅回路の基準電圧を V REF 端子と共通にしても良い。バッファアンプ 26 の出力は、サンプルホールド回路 27 に入力する。サンプルホールド回路 27 の出力はバッファアンプ 28 に入力する。バッファアンプ 28 の出力はトランスミッションゲート 29 に入力する。トランスミッションゲート 29 の出力は出力端子 V OUT 2 につながる。なお、トランスミッションゲート 29 は、用途によっては不要である。

【0025】

図 2 は、本発明の第 1 の実施形態に係るサンプルホールド回路の回路図であり、サンプルホールド回路 21 とサンプルホールド回路 27 に使用できる。サンプルホールド回路はトランスミッションゲート 30 とダミースイッチ 31 と容量 C 1 からなる。このサンプルホールド回路は、 ϕ SH とその反転である ϕ SHX のパルスのノイズを相殺するために、トランスミッションゲート 30 の NMOS と PMOS のトランジスタサイズは同じにし、ダミースイッチ 31 の NMOS と PMOS のトランジスタのゲート面積は、トランスミッションゲートのトランジスタのゲート面積の半分にする。

【0026】

図 3 は、本発明の第 1 の実施形態に係るバッファアンプの回路図でありオペアンプ 32 からなる。この回路は、バッファアンプ 22、23、26、28 に使用できる。なお、バッファアンプはソースフォロアアンプでもよい。

【0027】

図 4 は、本発明の第 1 の実施形態に係る増幅回路の回路図でありオペアンプ 32 と抵抗からなる。この回路は、バッファアンプ 26 の代わりに用いれば、信号処理回路の増幅率を大きくできる。また、この増幅回路の基準電圧 V REF を図 1 の V REF 端子と共通にしても良い。

【0028】

図5は、本発明の第1の実施形態に係る減算器の回路図でありオペアンプ32と抵抗からなる。この回路は、INPの電圧からINMの電圧を引いた電圧を、抵抗の比率で決まるゲイン倍し、VREFの電圧を基準として出力する。INPとINMに入力する端子を逆にすれば、出力をVREFの電圧を基準に反転することができる。

【0029】

図6は、本発明の第1の実施形態に係る電圧クランプ回路の回路図であり、電圧クランプ回路25に使用できる。電圧クランプ回路はトランスマッションゲート30とダミースイッチ31と容量33からなる。この電圧クランプ回路は、 ϕ CLAMPとその反転である ϕ CLAMPXのパルスのノイズを相殺するために、トランスマッションゲート30のNMOSとPMOSのトランジスタサイズは同じにし、ダミースイッチ31のNMOSとPMOSのトランジスタのゲート面積は、トランスマッションゲートのトランジスタのゲート面積の半分にする。

【0030】

図7は、本発明の第1の実施形態に係る光電変換装置の概略回路図である。図7に示す光電変換ブロックAnの枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ7は共通信号線11に接続している。なお、光電変換ブロックAnはnビット目の光電変換ブロックを示している。図8に、本発明の第1の実施形態に係る光電変換装置の全体構成図を示す。

【0031】

この回路は、光電変換手段となるフォトダイオード1、電荷転送手段となる転送スイッチ4、リセット手段となるリセットスイッチ2、アンプ手段3、容量5、MOSソースフォロアを形成するMOSトランジスタ6、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、第1の電流源8からなる。

【0032】

アンプ手段3はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子10を設けても良い。また、MOSトランジスタ6のゲートとソース間には寄生容量9が存在する。また、MOSトランジスタ6のソースに、第2の電流源51が接続されている。この電流源はイネーブル信号 ϕ RRによってオン・オフし、オン状態では、第1の電流源8と同程度の電流が流れるようになっている。

【0033】

この光電変換装置の出力端子VOUTは、図1の信号処理回路の入力端子VINに入力する。光電変換装置と信号処理回路は、1つの半導体基板上に形成することができる。図9は、本発明の第1の実施形態に係る光電変換装置と信号処理回路のタイミングチャートである。以下にこのタイミングチャートを参照しながら、本実施形態の動作を説明する。

【0034】

まず、nビット目の光電変換ブロックの動作について説明する。 ϕ R(n)によりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後のアンプ3の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後のアンプ3の出力電圧の差をとればよい。

【0035】

そこで、図9のように、 ϕ R(n)によりリセットスイッチ2がオフした後、 ϕ T1(n)により転送スイッチ4をオンして、TRの期間で基準信号を容量5に読み出す。このとき、イネーブル信号 ϕ RR(n)により電流源51をオン状態にすることによって、MOSトランジスタ6のソース電位を、 ϕ SCH(n)がオン状態の読み出し時と同程度にする。基準信号は、1周期の間、容量5に保持される。この間にフォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動している。次の周期の ϕ SCH(n)によりチャンネル選

択スイッチ7をオンすると、REFの期間に、容量5に保持された基準信号が共通信号線11に読み出される。次に、 $\phi T1(n)$ をオンし、光信号を容量5に読み出すと、この光信号が共通信号線11に読み出される。このとき、電流源51をオフ状態にする。このことによって、TRの期間で基準信号を容量5に読み出すときと、TSの期間でフォトダイオードに蓄積した電荷に応じた光信号を容量5に読み出すときのMOSトランジスタ6のソース電位を、同程度にすることができる。したがって、容量5に蓄える電荷への寄生容量9の影響を小さくすることができる。このことによって、暗出力電圧のオフセットを小さくできる。

【0036】

以上の動作により、 $\phi SCH(n)$ のREFの期間とSIGの期間の共通信号線11の出力電圧VOUTの差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。次に、 $\phi T1(n)$ をオフしてから、 $\phi SCH(n)$ をオフし、 $\phi R(n)$ をオンして、次のフォトダイオードのリセットを行い、再び $\phi T1(n)$ をオンして、TRの期間で基準信号を容量5に読み出す。

$\phi SCH(n)$ がオフしてから、次のビットのチャンネル選択スイッチ7が $\phi SCH(n+1)$ によってオンし、次のビットの基準信号の読み出しが始まる。 $n+1$ ビット目の他のパルスは、 n ビット目のパルスよりも、全て ϕSCH のオン期間だけ後ろにずれる。

【0037】

以上の説明で、第2の電流源51は無くてもよい。その場合は、 ϕRR のパルスは不要となる。

【0038】

上記のように、VOUT端子からは、 n ビット目の基準信号、 n ビット目の光信号、 $n+1$ ビット目の基準信号、 $n+1$ ビット目の光信号の順で出力される。以下で、便宜上、基準信号の出力期間を前半期間、光信号の出力期間を後半期間とする。

【0039】

次に信号処理回路の動作を説明する。

【0040】

VIN端子に上記VOUT端子の出力が入力される。サンプルホールドパルス $\phi SH1$ は、基準信号が開始してからオンし、基準信号が終わる前にオフする。これにより、基準信号がサンプルホールドされる。VINの信号とサンプルホールド後の信号は、減算器に入力する。前半期間は同じ基準信号が減算器に入力し、後半期間は、サンプルホールドされた基準信号と光信号が減算器に入力する。したがって、減算器の出力は、前半期間はVREFレベル、後半期間は基準信号と光信号の差をゲイン倍したレベルにVREFレベルを加えたレベルとなる。また、前半期間の出力には、バッファアンプ22、23と減算器24のオフセットが乗り、後半期間の出力には、バッファアンプ22、23と減算器24のオフセットと、サンプルホールド回路21のオフセットが乗る。

【0041】

クランプパルス $\phi CLAMP$ は、 $\phi SH1$ がオンする前にオンし、 $\phi SH1$ がオフする前にオフするように加える。これにより、電圧クランプ回路25の出力は、前半期間が、VREFレベルにクランプされ、後半期間は、減算器の後半出力から前半出力を引いたレベルにVREFレベルを加えたレベルとなる。この結果、電圧クランプ回路の後半期間の出力には、バッファアンプ22、23と減算器24のオフセットが乗らない。また、サンプルホールド回路21のオフセットは、 ϕSH パルスとその反転である ϕSHX パルスのノイズが相殺する回路になっているので小さい。以上から、電圧クランプ回路の後半期間の出力は、VREFレベルを基準に、基準信号と光信号の差をゲイン倍したレベルを加えたレベルになる。

【0042】

サンプルホールドパルス $\phi SH2$ は、光信号が開始する前後にオンし、光信号が終わる前にオフする。これにより、クランプ後の出力の後半期間の出力がサンプルされ、次のビットの前半期間にホールドされる。したがって、長い期間出力レベルを維持することがで

きる。

【実施例 2】

【0043】

図 10 は、本発明の第 2 の実施形態に係る光電変換装置の概略回路図である。図 10 に示す光電変換ブロック A_n の枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ 7 は共通信号線 11 に接続している。なお、光電変換ブロック A_n は n ビット目の光電変換ブロックを示している。図 8 に、光電変換装置の全体構成図を示し、本発明の第 1 の実施形態と同様である。

【0044】

この回路は、光電変換手段となるフォトダイオード 1、電荷転送手段となる転送スイッチ 14、15、16、17、リセット手段となるリセットスイッチ 2、アンプ手段 3、光信号を保持する容量 13、光電変換手段の基準となる基準信号を保持する容量 12、信号読み出し手段となる MOS ソースフォロアを形成する MOS トランジスタ 6、チャンネル選択手段となるチャンネル選択スイッチ 7、共通信号線 11、第 1 の電流源 8 からなる。アンプ手段 3 は MOS ソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子 10 を設けても良い。

【0045】

この光電変換装置の出力端子 VOUT は、図 1 の信号処理回路の入力端子 VIN に入力する。光電変換装置と信号処理回路は、1 つの半導体基板上に形成することができる。図 11 は、本発明の実施形態例の光電変換装置 2 と信号処理回路のタイミングチャートである。

【0046】

以下にこのタイミングチャートを参照しながら、光電変換装置の動作を説明する。図 11 の ϕR 、 ϕRIN 、 ϕSIN 、 ϕSEL は全ビットについて同時に動作する。 $\phi S0$ 、 $\phi R0$ 、 ϕSCH はビットによって動作するタイミングが異なるので、(n) 付で表示している。

【0047】

まず、n ビット目の光電変換ブロックの動作について説明する。 ϕSIN の S1 の位置のパルスにより転送スイッチ 15 をオンして、フォトダイオード 1 に入射した光で発生した電荷の蓄積を行った後に得られる光信号を容量 13 に読み出す。次に ϕR の R2 の位置のパルスによりリセットスイッチ 2 がオンすると、フォトダイオード 1 の出力端子 Vdi は基準電圧 Vreset に固定され、リセットスイッチ 2 がオフすると、Vdi の電圧は Vreset にオフノイズが加算された値になる。次にリセットスイッチ 2 がオフした直後、 ϕRIN の R2 の位置のパルスにより転送スイッチ 14 をオンして、フォトダイオード 1 のリセット後の基準信号を容量 12 に読み出す。この後フォトダイオード 1 には、光電荷が蓄積し、Vdi の電位は光電荷の量に応じて変動する。この蓄積期間は ϕR の R2 の期間の終了から、次の周期の ϕSIN の S2 の期間の終了までであるので、図 11 の TS2 の期間となり、全てのビットについて同じ期間になる。

【0048】

次に、基準信号と光信号の読み出しの動作を説明する。図 11 の TS2 の蓄積期間中に、 $\phi SCH(n)$ のパルスによりチャンネル選択スイッチ 7 をオンすると同時に $\phi S0(n)$ のパルスにより転送スイッチ 17 をオンすると、容量 13 に保持されていた光信号が共通信号線 11 に読み出される。この期間は $\phi SCH(n)$ の S1 の部分である。この光信号は、TS1 の期間に蓄積された信号である。次に、 $\phi R0(n)$ のパルスにより転送スイッチ 16 をオンすると、容量 12 に保持されていた基準信号が共通信号線 11 に読み出される。この基準信号は、 ϕR の R2 の位置のパルスによりリセットされた信号である。

【0049】

次に、 $\phi SCH(n)$ をオフしてから、次のビットのチャンネル選択スイッチ 7 が $\phi SCH(n+1)$ によってオンし、 $\phi S0(n+1)$ のパルスにより次のビットの転送スイッチ 17 をオンすると次のビットの光信号の読み出しが始まる。n+1 ビット目の他のパルスは、n ビット目のパル

スよりも、全て ϕ SCH のオン期間だけ後ろにずれる。

【0050】

この実施例では、TS2 の期間でフォトダイオードが蓄積動作中に、前の蓄積期間 TS1 の期間で蓄積した光信号を読み出すことができる。したがって、RGB の3色のLED を順に点灯して、カラー画像データを読み取ることができる。たとえば、TS1 の期間に赤のLED を点灯し赤の成分を読み取り、TS2 の期間に緑のLED を点灯し緑の成分を読み取り、TS2 の次の期間に青のLED を点灯し青の成分を読み取ることができる。この場合、TS2 の期間内に赤の光信号を読み出すことになる。

【0051】

上記のように、共通信号線 11 の VOUT 端子からは、n ビット目の光信号、n ビット目の基準信号、n+1 ビット目の光信号、n+1 ビット目の基準信号の順で出力される。これは、光電変換装置 1 と光信号と基準信号の順番が逆になるが、図 11 に示すパルス ϕ SH1、 ϕ CLAMP、 ϕ SH2 を使い、本発明の第 1 の実施形態に係る光電変換装置と同様に、図 1 の信号処理回路で光信号と基準信号の差を VREF を基準に増幅することができる。

【0052】

以上の説明で、光電変換装置は、基準信号と光信号を順に出力するものであれば、どのような回路であってもよい。リニアセンサー、エリアセンサーともに信号処理することができる。また、基準信号と光信号の出力の順が逆であっても、減算器の INP と INM の端子を逆に接続すれば、対応できる。また、減算器の IMP と INM の端子を逆に接続すれば、減算器の出力は VREF レベルを基準に反転するので、光信号の感度が正負どちらであっても、信号処理回路の感度を正にできる。

【0053】

以上のように、本発明によれば、前半の期間と後半の期間の減算器の出力には同じオフセット電圧が乗っており、電圧クランプ回路で、この前半と後半の減算器の出力の差を取り出すので、基準電圧を基準とした、減算器のオフセットをキャンセルした信号を取り出すことができる。したがって、固定パターンノイズの小さい電変換装置を得ることができる。また、光電変換手段と信号処理回路が 1 つの半導体基板上に形成されたりリニアイメージセンサー IC やエリアイメージセンサー IC を作ることができる。また、このリニアイメージセンサー IC を複数実装し、各イメージセンサー IC に供給する基準電圧を共通にすれば、全ての各イメージセンサー IC の出力のチップ間の暗出力段差を小さくできる。このとき、信号処理回路には、トランスミッションゲート 29 が設けられているので、各イメージセンサー IC の出力を共通の信号線に読み出すことが可能である。

【実施例 3】

【0054】

図 12 は、本発明の第 3 の実施形態に係る密着型イメージセンサーの概略図である。この密着型イメージセンサーは 3 つのイメージセンサー IC 41 からなり、それぞれのイメージセンサー IC 41 は、信号処理回路 42、光電変換装置 43、基準電圧回路 44、抵抗 45、基準電圧端子 46、信号出力端子 47 からなる。光電変換装置 43 の共通信号線は、信号処理回路 42 に入力し、信号処理回路 42 の出力は信号出力端子 47 につながっている。また、基準電圧端子 46 は、信号処理回路 42 の基準電圧につながっており、基準電圧回路 44 と基準電圧端子 46 の間に抵抗 45 が設けてある。

【0055】

全てのイメージセンサー IC 41 の信号出力端子 47 は、外部で接続されており、VOUT2 端子から外部に出力される。全てのイメージセンサー IC 41 の基準電圧端子 46 も外部で接続されており、必要に応じて、基準電圧端子 46 と GND 間に、基準電圧 VREF を安定にするための容量 48 が設けてある。

【0056】

それぞれのイメージセンサー IC 41 の基準電圧回路 44 の出力電圧は、プロセスばらつき等によってばらつく。しかし、この出力電圧は抵抗 45 を介して、互いにショートしているので、容量 48 の VREF 電位は、3 チップの基準電圧回路 44 の出力電圧の平均

値となる。この電圧 V_{REF} が、全てのイメージセンサー IC 41 の信号処理回路 42 に供給されることになる。

【0057】

なお、信号処理回路 42 は、図 1 の信号処理回路を用いることができ、光電変換装置 43 は、図 7 または図 10 の光電変換装置を用いることができる。信号処理回路 42 と光電変換装置 43 の動作は、実施例 1 と実施例 2 で述べたとおりである。

【0058】

以上のように、本発明によれば、前半の期間と後半の期間の減算器の出力には同じオフセット電圧が乗っており、電圧クランプ回路でこの前半と後半の減算器の出力の差を取り出すので、基準電圧を基準とした、減算器のオフセットをキャンセルした信号を取り出すことができる。

そして、電圧クランプ回路に供給される基準電圧は、全てのイメージセンサー IC について同じレベルであるので、全てのイメージセンサー IC の出力のチップ間の暗出力段差を小さくできる。すなわち固定パターンノイズの小さい密着型イメージセンサーを得ることができる。このとき、信号処理回路には、トランスミッションゲート 29 が設けられているので、各イメージセンサー IC の出力を共通の信号線に読み出すことが可能である。

【実施例 4】

【0059】

図 13 は、本発明の第 4 の実施形態に係る密着型イメージセンサーの概略図である。この密着型イメージセンサーは 3 つのイメージセンサー IC 41 からなり、それぞれのイメージセンサー IC 41 は、信号処理回路 42、光電変換装置 43、基準電圧端子 46、信号出力端子 47 からなる。光電変換装置 43 の共通信号線は、信号処理回路 42 に入力し、信号処理回路 42 の出力は信号出力端子 47 につながっている。

【0060】

全てのイメージセンサー IC 41 の信号出力端子 47 は、外部で接続されており、 V_{OUT} 2 端子から外部に出力される。全てのイメージセンサー IC 41 の基準電圧端子 46 も外部で接続されており、必要に応じて、基準電圧端子 46 と GND 間に、基準電圧 V_{REF} を安定にするための容量 48 が設けてある。この電圧 V_{REF} が、全てのイメージセンサー IC 41 の光電変換装置 43 の V_{reset} 端子に供給されている。

信号処理回路 42 は、図 1 の信号処理回路を用いることができる。

【0061】

図 14 は、本発明の第 4 の実施形態に係る光電変換装置の概略回路図であり、図 10 に示した光電変換装置との相違は、 V_{reset} 端子が光電変換装置の領域外に設けている点である。図 14 に示す光電変換ブロック A_n の枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ 7 は共通信号線 11 に接続している。なお、光電変換ブロック A_n は n ビット目の光電変換ブロックを示している。

図 15 に、本発明の第 4 の実施形態に係る光電変換装置の全体構成図を示す。

この回路は、光電変換手段となるフォトダイオード 1、電荷転送手段となる転送スイッチ 14、15、16、17、リセット手段となるリセットスイッチ 2、アンプ手段 3、光信号を保持する容量 13、光電変換手段の基準となる基準信号を保持する容量 12、信号読み出し手段となる MOS ソースフォロアを形成する MOS トランジスタ 6、チャンネル選択手段となるチャンネル選択スイッチ 7、共通信号線 11、第 1 の電流源 8 からなる。

リセットスイッチ 2 の片方の端子は、 V_{reset} 端子につながっており、図 15 に示すように全ての光電変換装置の V_{reset} 端子は共通である。

【0062】

アンプ手段 3 は MOS ソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンピネーブル端子 10 を設けても良い。

この光電変換装置の出力端子 V_{OUT} は、図 1 の信号処理回路の入力端子 V_{IN} に入力する。光電変換装置と信号処理回路は、1 つの半導体基板上に形成することができる。

図 16 は、本発明の第 4 の実施形態に係る光電変換装置と信号処理回路のタイミングチャ

ートである。

【0063】

以下にこのタイミングチャートを参照しながら、光電変換装置の動作を説明する。

図16の ϕR 、 ϕRIN 、 ϕSIN 、 ϕSEL は全ビットについて同時に動作する。 ϕSO 、 ϕRO 、 ϕSCH はビットによって動作するタイミングが異なるので、(n)付で表示している。

まず、nビット目の光電変換ブロックの動作について説明する。

ϕSIN のS1の位置のパルスにより転送スイッチ15をオンして、フォトダイオード1に入射した光で発生した電荷の蓄積を行った後に得られる光信号を容量13に読み出す。次に ϕR のR2の位置のパルスによりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。ここで、Vresetは、図13に示すようにVREFと等しく、熱雑音が小さいので、Vdiの電圧は、リセットする度に変動する量が小さくなる。

【0064】

次にリセットスイッチ2がオフした直後、 ϕRIN のR2の位置のパルスにより転送スイッチ14をオンして、フォトダイオード1のリセット後の基準信号を容量12に読み出す。この後フォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動する。この蓄積期間は ϕR のR2の期間の終了から、次の周期の ϕSIN のS2の期間の終了までであるので、図6のTS2の期間となり、全てのビットについて同じ期間になる。次に、基準信号と光信号の読み出しの動作を説明する。

【0065】

図16のTS2の蓄積期間中に、 $\phi SCH(n)$ のパルスによりチャンネル選択スイッチ7をオンすると同時に $\phi SO(n)$ のパルスにより転送スイッチ17をオンすると、容量13に保持されていた光信号が共通信線11に読み出される。この期間は $\phi SCH(n)$ のS1の部分である。

この光信号は、TS1の期間に蓄積された信号であり、 ϕR のR1の位置のパルスによりリセットされたリセット電圧を基準としている。

【0066】

次に、 $\phi RO(n)$ のパルスにより転送スイッチ16をオンすると、容量12に保持されていた基準信号が共通信線11に読み出される。この基準信号は、 ϕR のR2の位置のパルスによりリセットされた信号である。

後段の信号処理回路で、この光信号と基準信号の差を取ると、 ϕR の異なるパルスのリセットレベルの差を取ることになるが、Vreset電圧の熱雑音が小さいので、光による電圧差だけを取り出すことができる。

次に、 $\phi SCH(n)$ をオフしてから、次のビットのチャンネル選択スイッチ7が $\phi SCH(n+1)$ によってオンし、 $\phi SO(n+1)$ のパルスにより次のビットの転送スイッチ17をオンすると次のビットの光信号の読み出しが始まる。n+1ビット目の他のパルスは、nビット目のパルスよりも、全て ϕSCH のオン期間だけ後ろにずれる。

【0067】

この実施例では、TS2の期間でフォトダイオードが蓄積動作中に、前の蓄積期間TS1の期間で蓄積した光信号を読み出すことができる。したがって、RGBの3色のLEDを順に点灯して、カラー画像データを読み取ることができる。たとえば、TS1の期間に赤のLEDを点灯し赤の成分を読み取り、TS2の期間に緑のLEDを点灯し緑の成分を読み取り、TS2の次の期間に青のLEDを点灯し青の成分を読み取ることができる。この場合、TS2の期間内に赤の光信号を読み出すことになる。

【0068】

上記のように、共通信線11のVOUT端子からは、nビット目の光信号、nビット目の基準信号、n+1ビット目の光信号、n+1ビット目の基準信号の順で出力される。これは、光電変換装置1と光信号と基準信号の順番が逆になるが、図16に示すパルス $\phi SH1$ 、 $\phi CLAMP$ 、 $\phi SH2$ を使い、本発明の第1の実施形態に係る光電変換装置と同様に、図1の信号

処理回路で光信号と基準信号の差を V_{REF} を基準に増幅することができる。

【0069】

以上の説明で、光電変換装置は、基準信号と光信号を順に出力するものであれば、どのような回路であってもよい。リニアセンサー、エリアセンサーともに信号処理することができる。また、基準信号と光信号の出力の順が逆であっても、減算器の INP と INM の端子を逆に接続すれば、対応できる。また、減算器の IMP と INM の端子を逆に接続すれば、減算器の出力は V_{REF} レベルを基準に反転するので、光信号の感度が正負どちらであっても、信号処理回路の感度を正にできる。

【0070】

以上のように、本発明によれば、前半の期間と後半の期間の減算器の出力には同じオフセット電圧が乗っており、電圧クランプ回路で、この前半と後半の減算器の出力の差を取り出すので、基準電圧を基準とした、減算器のオフセットをキャンセルした信号を取り出すことができる。したがって、固定パターンノイズの小さい電変換装置を得ることができる。また、光電変換手段と信号処理回路が1つの半導体基板上に形成されたリニアイメージセンサー IC やエリアイメージセンサー IC を作ることができる。

【0071】

また、図13に示すように、このリニアイメージセンサー IC を複数実装し、各イメージセンサー IC に供給するリセット電圧を共通にすれば、全てのイメージセンサー IC のフォトダイオードのリセット電圧が同じになるので、IC ごとの感度のばらつきを小さくできる。また、この実施例によれば、受光素子のリセット電圧を、 V_{REF} 端子を通じて外部から供給できるので、熱雑音の小さい安定した電圧を供給することができる、したがって、読み取り画像に筋が入ってしまうという問題を解決できる。

【0072】

また、共通にした基準電圧端子と GND などの間に、大きな容量 48 を入れて、リセット電圧の熱雑音をさらに低減することで、より安定した読み取り画像を得ることができる。

容量 48 は $0.01\mu F$ 以上とし、 V_{REF} 端子より供給するリセット電圧は 1 V から、電源電圧よりも 1 V 程度低い電圧の範囲とするとよい。

以上の本発明の実施形 4 の密着型イメージセンサーの説明で、信号処理回路 42 は、IC に内蔵されていなくともよい。

【実施例 5】

【0073】

図17は、本発明の第5の実施形態に係る密着型イメージセンサーの概略図である。第4の実施形態例との違いは、信号処理回路 42 の基準電圧 V_{REF} を、受光素子のリセット電圧と共通にしたことである。このとき、受光素子のリセット電圧は、自由に設定できなくなるが、信号処理回路 42 の基準電圧 V_{REF} は通常 1 V 前後であるので、実用上問題ない。

【0074】

これにより、IC の外部から供給する基準電圧を 1 種類にすることができ、また、信号処理回路 42 の基準電圧の安定性と熱雑音も小さくできるので、信号処理回路 42 で乗る雑音も小さくすることができる。

【実施例 6】

【0075】

図18は、本発明の第6の実施形態に係る密着型イメージセンサーの概略図である。第4の実施形態例との違いは、各イメージセンサー IC 41 の内部に、基準電圧回路 44 と、基準電圧回路 44 の出力端子と基準電圧端子 46 の間の抵抗 45 が設けてある点である。抵抗 45 の値は $1 K\Omega$ 前後とする。

【0076】

図18の構成のイメージセンサーでは、基準電圧 V_{REF} は、各イメージセンサー IC 41 の内部の基準電圧回路 44 の発生する基準電圧の平均値になる。したがって、全ての

イメージセンサー IC41のリセット電圧は、同一にすることができ、本発明の第4の実施形態例の密着型イメージセンサーと同じ効果が得られる。さらに、外部から基準電圧を供給する必要が無く、使いやすい。

【0077】

また、図示していないが、図18の構成で、信号処理回路42の基準電圧VREFを、受光素子のリセット電圧と共通にすることもできる。この場合、本発明の第5の実施形態例の密着型イメージセンサーと同じ効果が得られる。さらに、外部から基準電圧を供給する必要が無く、使いやすい。

以上の説明で、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【図面の簡単な説明】

【0078】

【図1】 本発明の第1実施例の信号処理回路のブロック図である。

【図2】 本発明の第1実施例のサンプルホールド回路の回路図である。

【図3】 本発明の第1実施例のバッファ回路の回路図である。

【図4】 本発明の第1実施例の増幅回路の回路図である。

【図5】 本発明の第1実施例の減算器の回路図である。

【図6】 本発明の第1実施例の電圧クランプ回路の回路図である。

【図7】 本発明の第1実施例の光電変換装置の概略回路図である。

【図8】 本発明の第1実施例と第2実施例の光電変換装置の全体構成図である。

【図9】 本発明の第1実施例の光電変換装置と信号処理回路のタイミングチャートである。

【図10】 本発明の第2実施例の光電変換装置の概略回路図である。

【図11】 本発明の第2実施例の光電変換装置と信号処理回路のタイミングチャートである。

【図12】 本発明の第3実施例の密着型イメージセンサーの概略図である。

【図13】 本発明の第4実施例の密着型イメージセンサーの概略図である。

【図14】 本発明の第4実施例の光電変換装置の概略回路図である。

【図15】 本発明の第4実施例の光電変換装置の全体構成図である。

【図16】 本発明の第4実施例の光電変換装置と信号処理回路のタイミングチャートである。

【図17】 本発明の第5実施例の密着型イメージセンサーの概略図である。

【図18】 本発明の第6実施例の密着型イメージセンサーの概略図である。

【図19】 従来例1のイメージセンサーの回路図である。

【図20】 従来例1のイメージセンサーのタイミングチャートである。

【図21】 従来例2のイメージセンサーの回路図である。

【図22】 従来例2のイメージセンサーのタイミングチャートである。

【符号の説明】

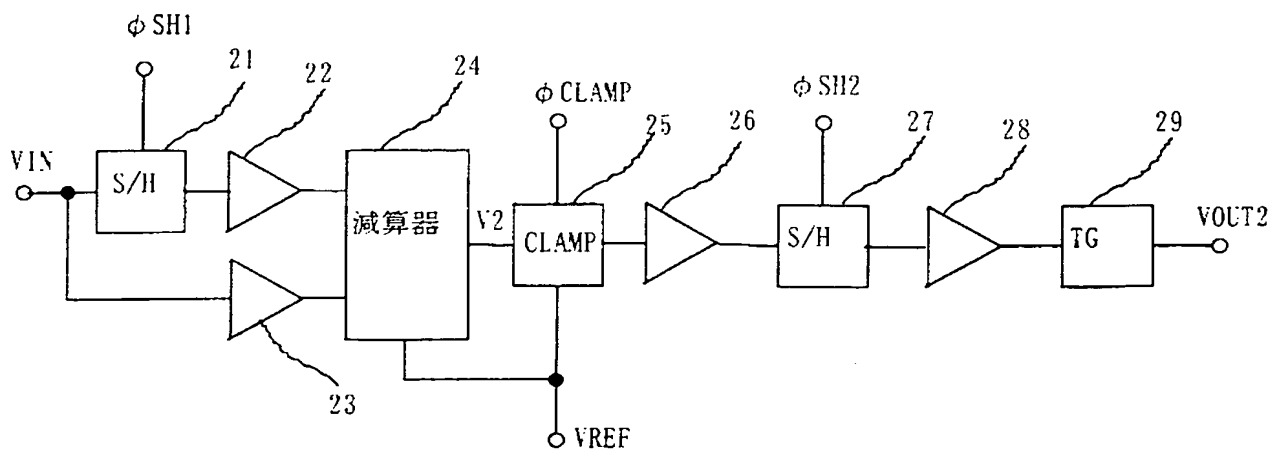
【0079】

- 1 フォトダイオード
- 2 リセットスイッチ
- 3 アンプ
- 4 転送スイッチ
- 5 容量
- 6 MOSトランジスタ
- 7 チャンネル選択スイッチ
- 8 第1の電流源
- 9 寄生容量
- 10 アンプイネーブル端子
- 11 共通信号線

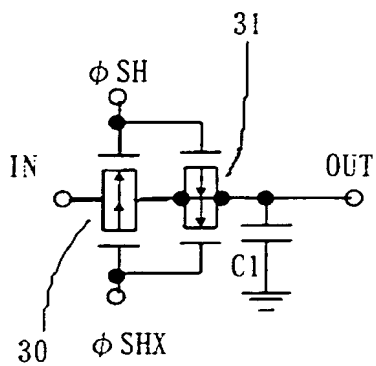
- 12、13 容量
- 14、15、16、17 転送スイッチ
- 21 サンプルホールド回路
- 22 バッファアンプ
- 23 バッファアンプ
- 24 減算器
- 25 電圧クランプ回路
- 26 バッファアンプ
- 27 サンプルホールド回路
- 28 バッファアンプ
- 29 トランсмисシヨンゲート
- 30 トランсмисシヨンゲート
- 31 ダミースイッチ
- 32 オペアンプ
- 33 クランプ容量
- 41 イメージセンサー IC
- 42 信号処理回路
- 43 光電変換装置
- 44 基準電圧回路
- 45 抵抗
- 46 基準電圧端子
- 47 信号出力端子
- 48 容量
- 51 第2の電流源
- An nビット目の光電変換ブロック
- 101 フォトダイオード
- 102 リセットスイッチ
- 103 ソースフォロアアンプ
- 104 定電流源
- 105 読み出しスイッチ
- 106 共通信号線
- 107 信号線リセットスイッチ
- 108 寄生容量
- 109 オペアンプ
- 110 抵抗
- 111 抵抗
- 112 チップセレクトスイッチ
- 113 容量
- 114 MOSトランジスタ
- 115 容量
- 116 出力端子
- An nビット目の光電変換ブロック
- Bm mチップ目のイメージセンサー ICブロック
- C クランプ回路
- D 反転増幅器

【書類名】 図面

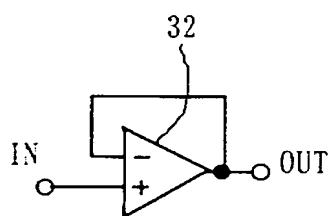
【図 1】



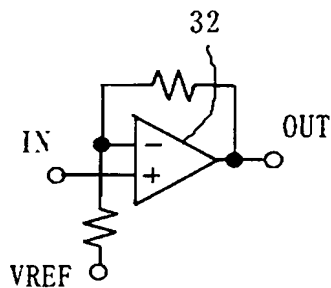
【図 2】



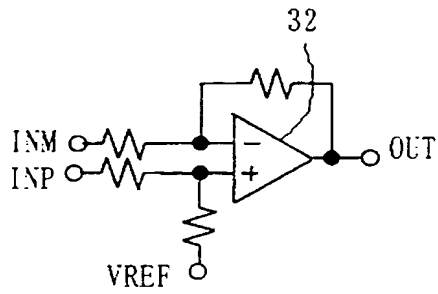
【図 3】



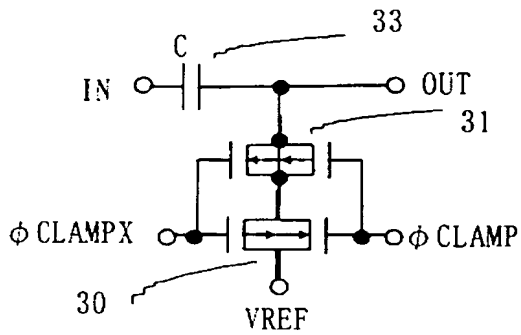
【図 4】



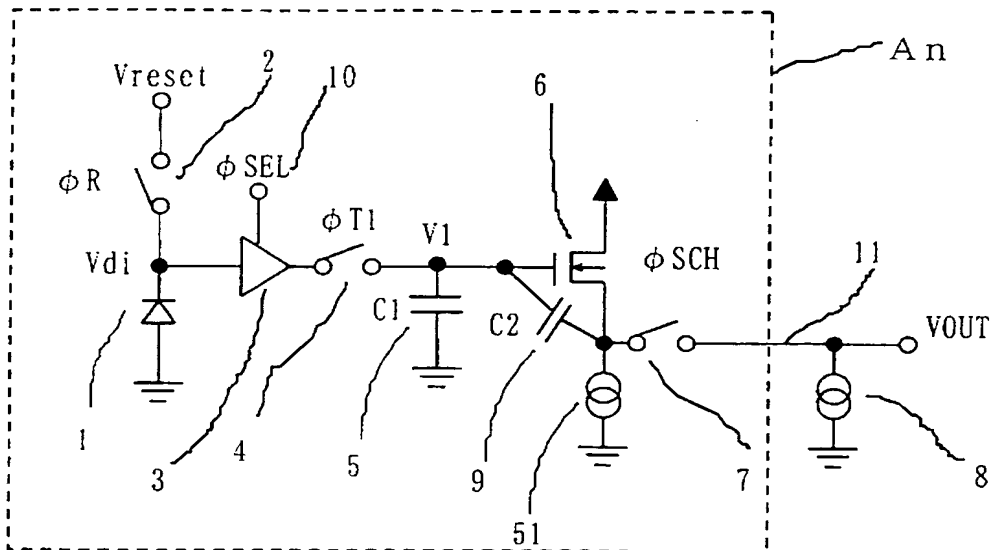
【図 5】



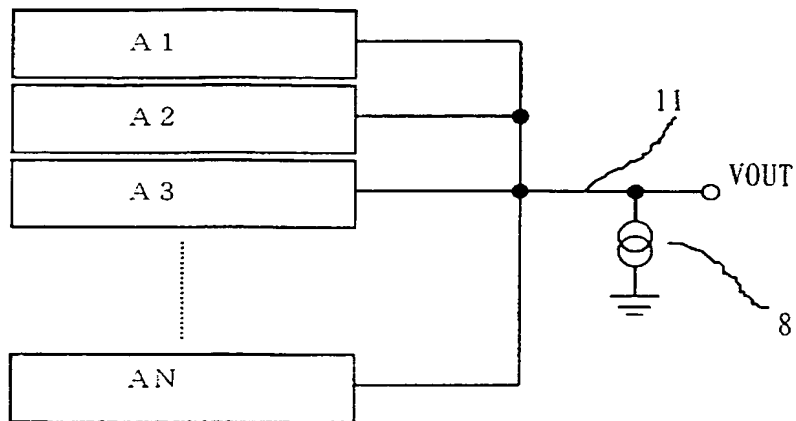
【図 6】



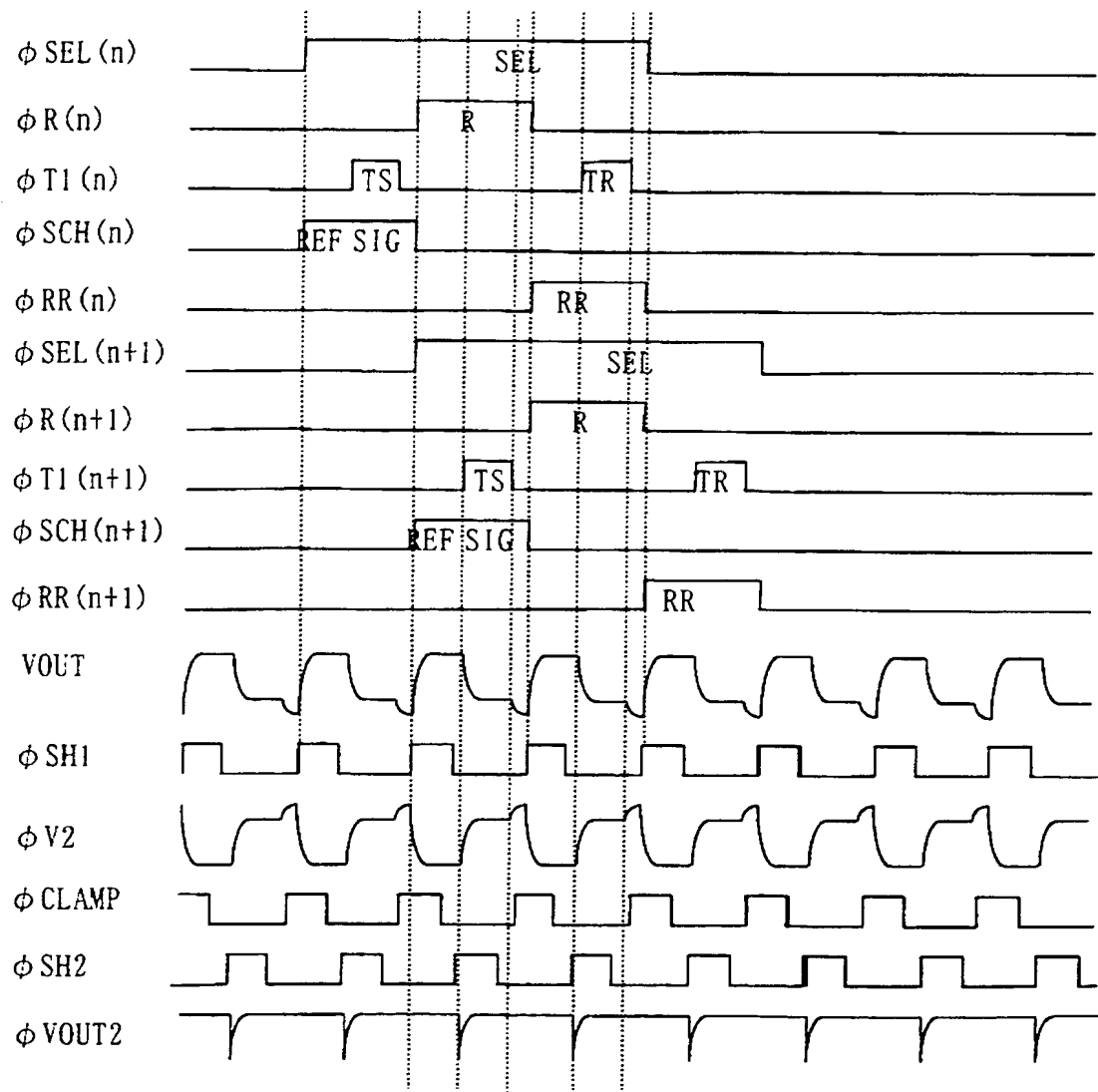
【図 7】



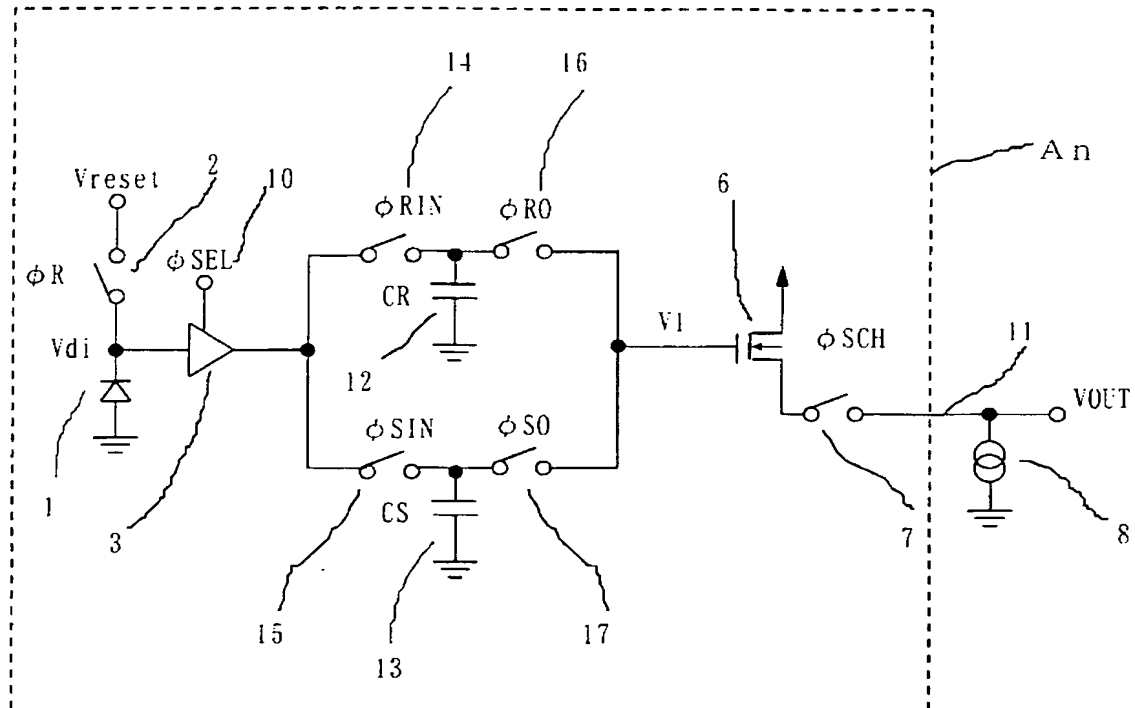
【図 8】



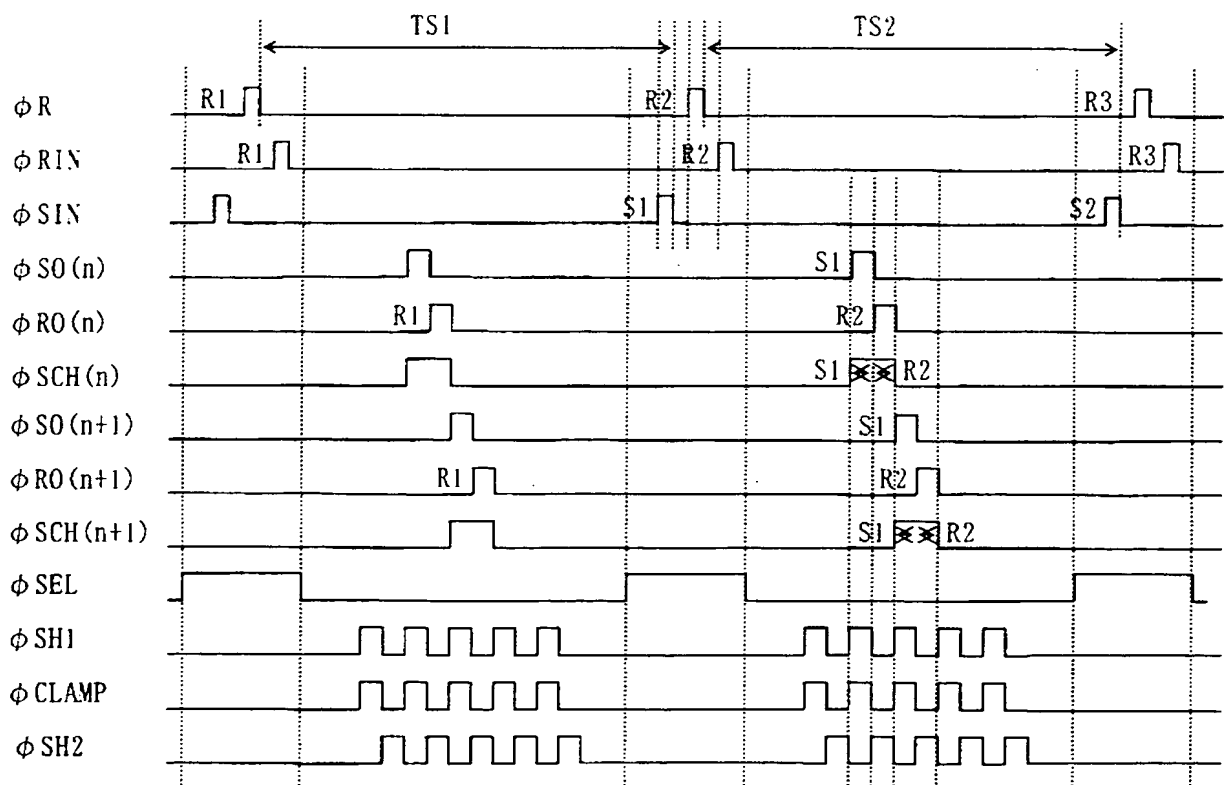
【図 9】



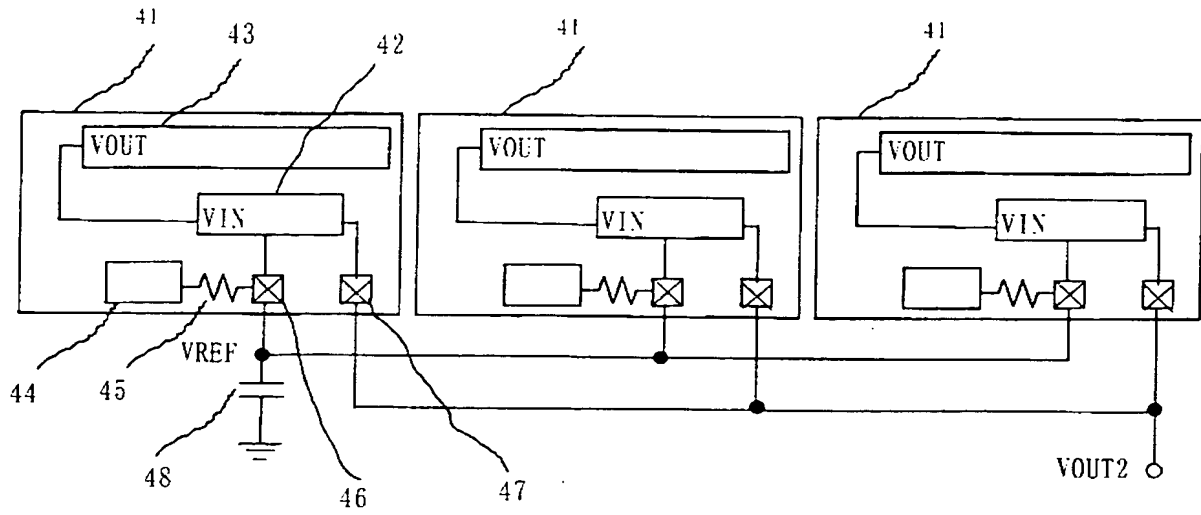
【図 10】



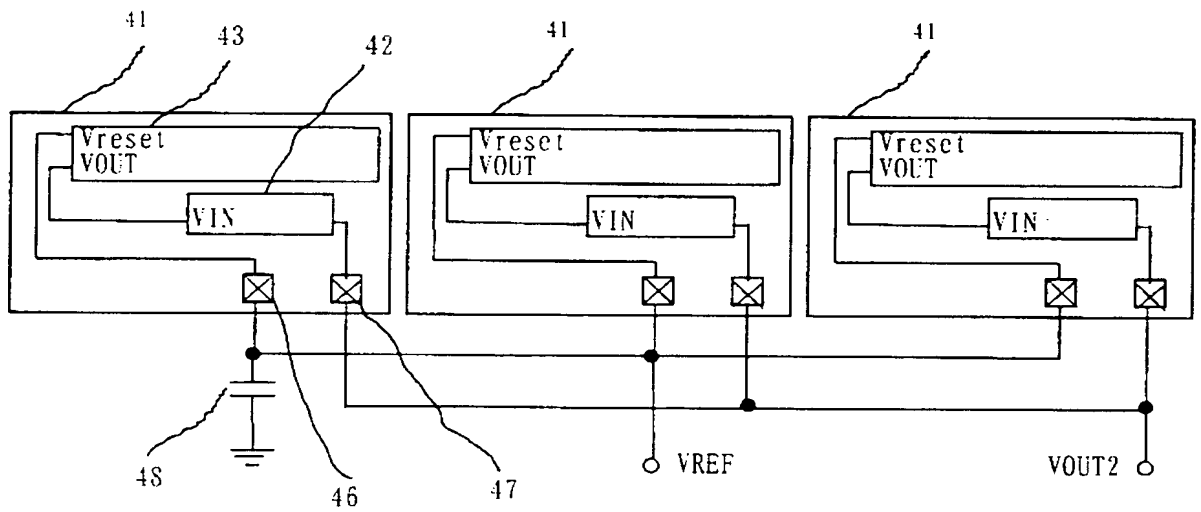
【図 11】



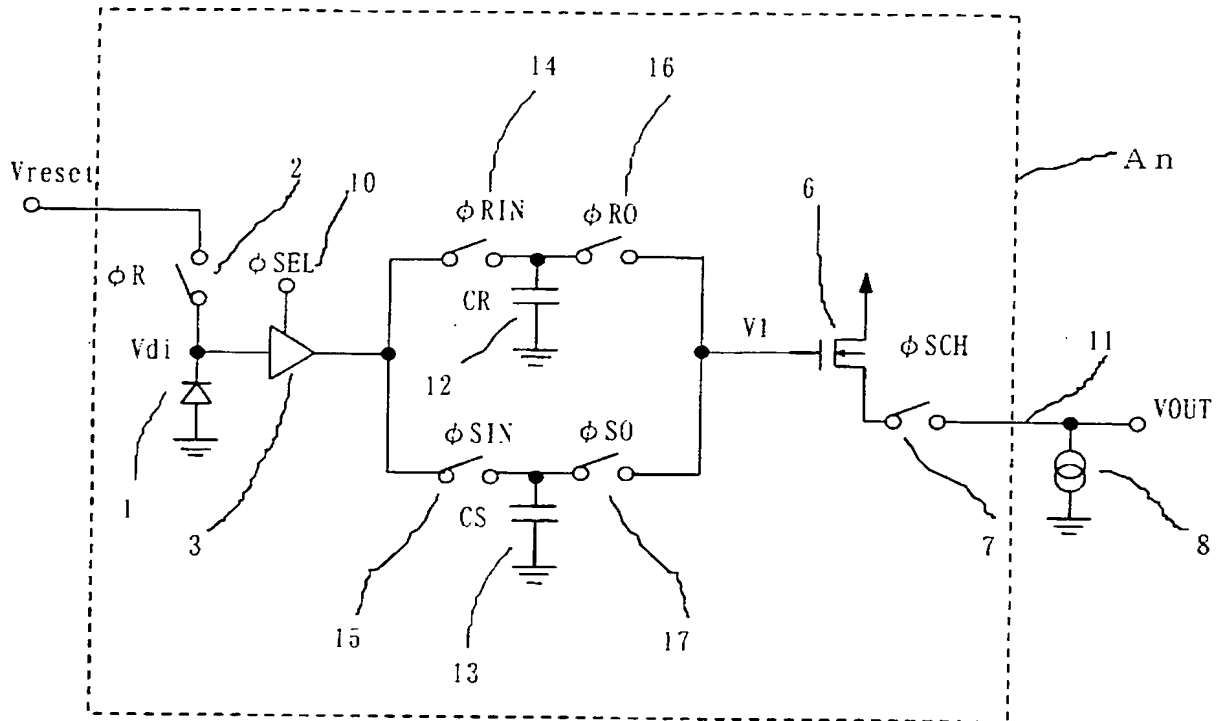
【図 12】



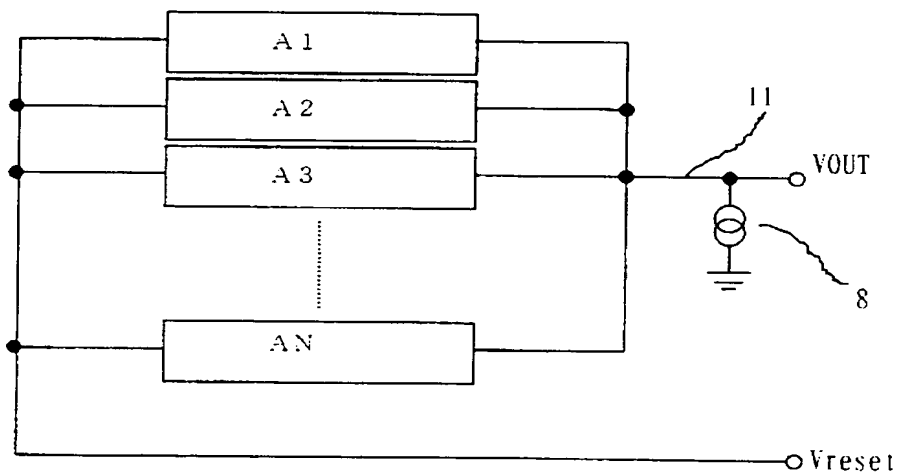
【図 13】



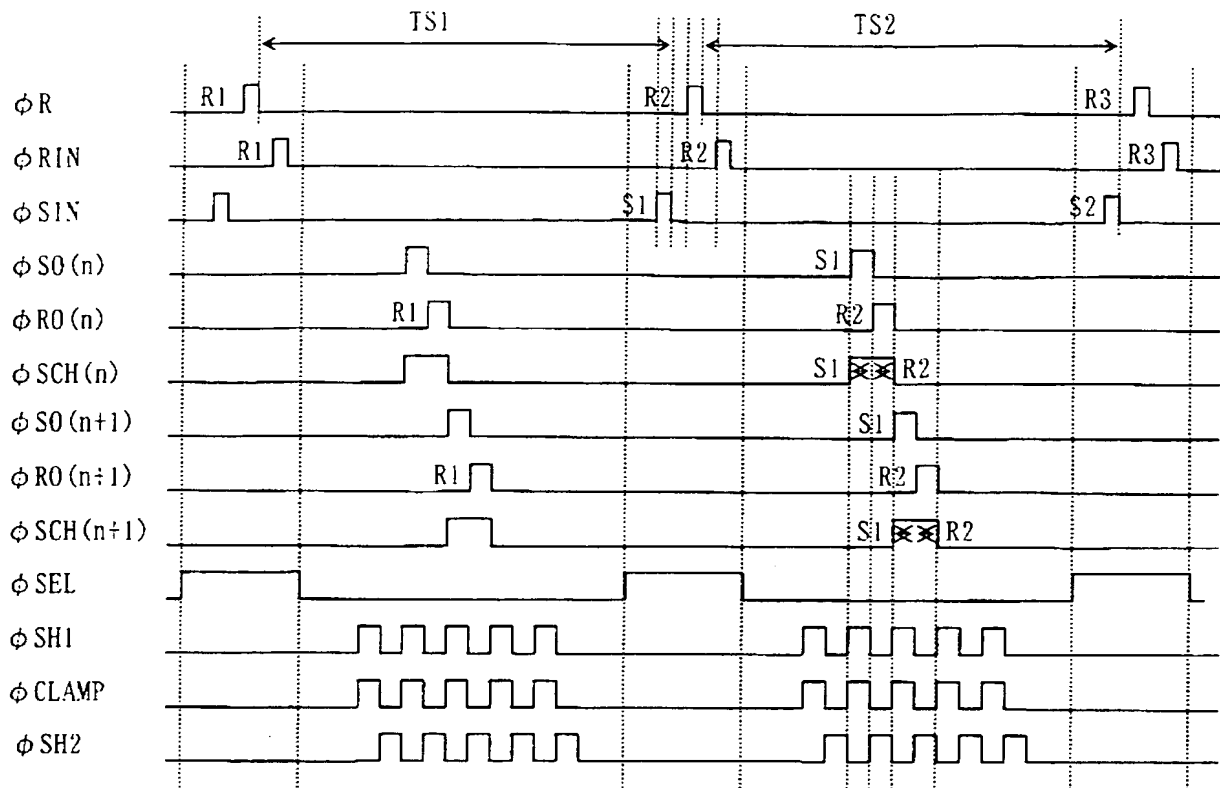
【図 14】



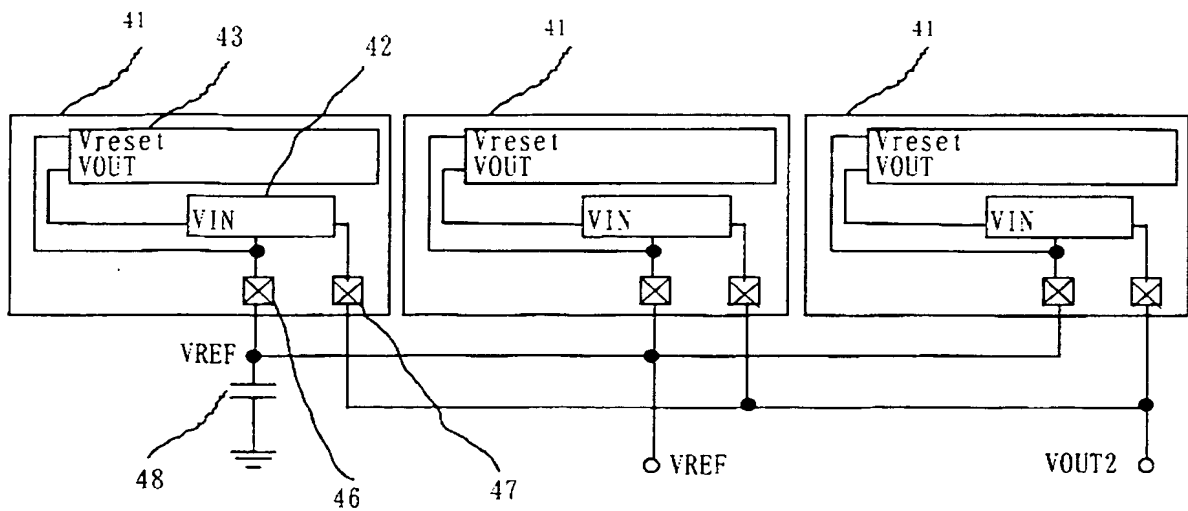
【図 15】



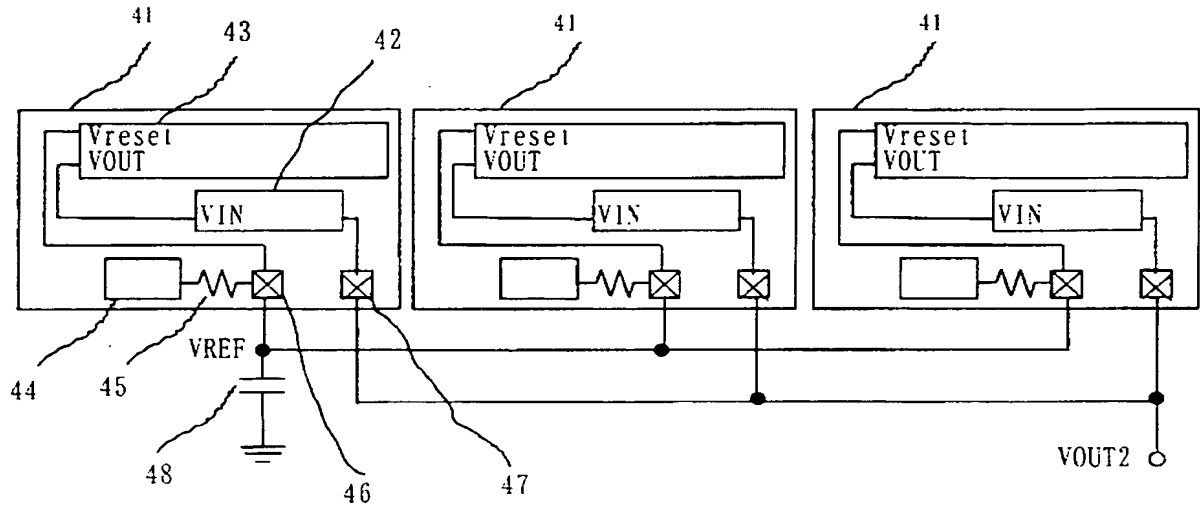
【図 16】



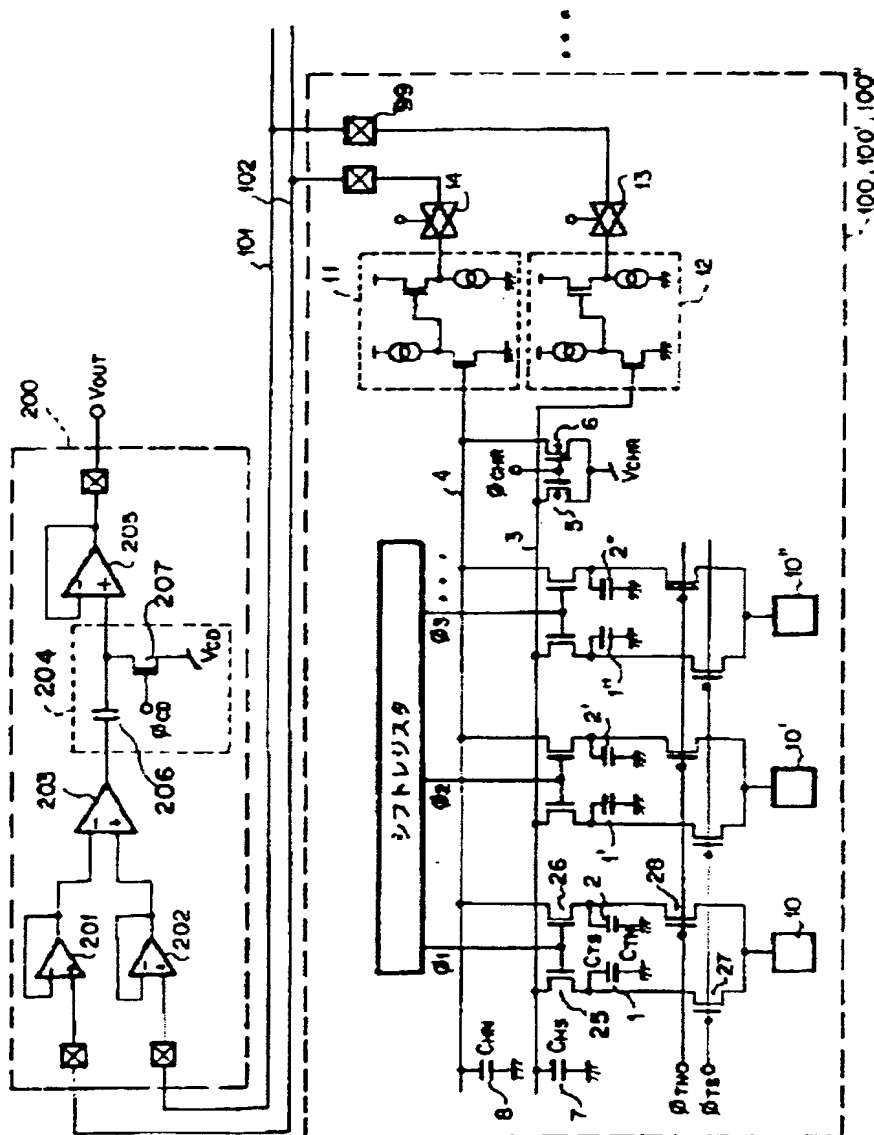
【図 17】



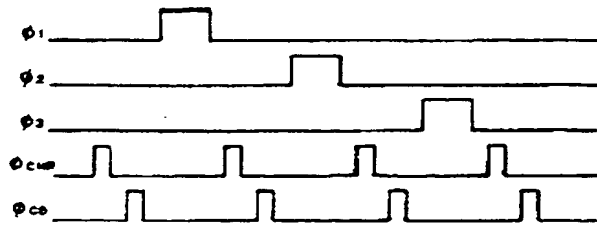
【図 18】



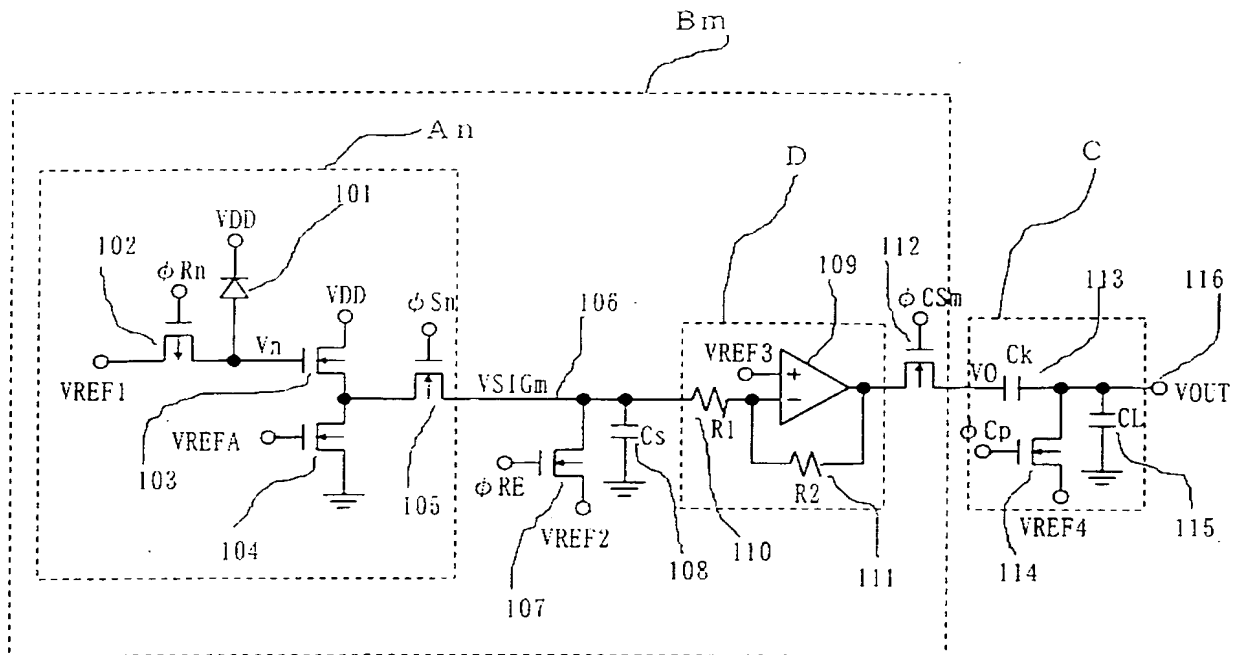
【図 19】



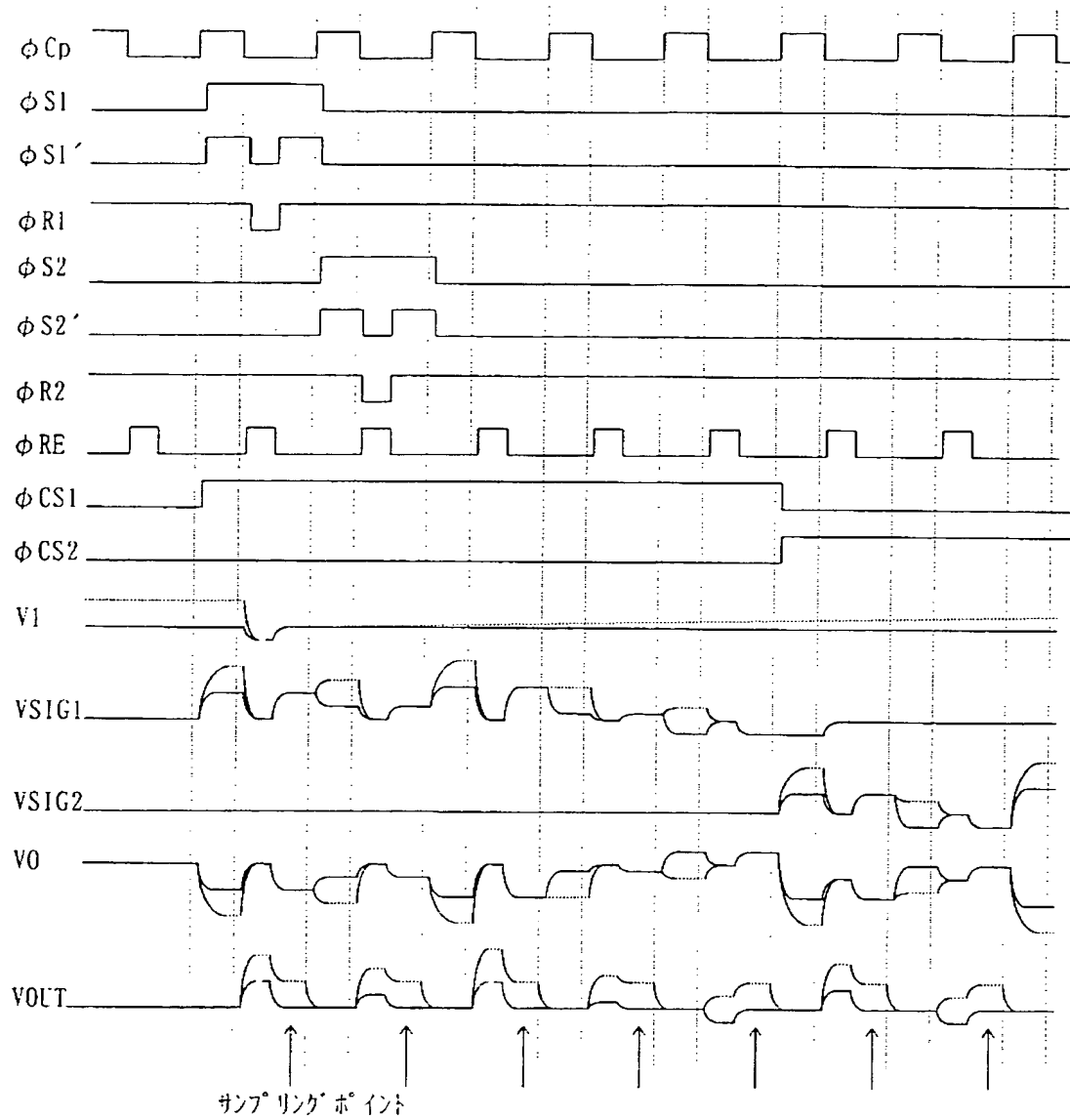
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 固定パターンノイズの小さいイメージセンサー I C の提供。

【解決手段】 光電変換手段に入射した光で発生した電荷の蓄積を行った後に得られる光信号と、前記光電変換手段の基準となる基準信号を、前半の期間と後半の期間に分けて入力し、入力される信号を前半の期間にサンプルし後半の期間にホールドするサンプルホールド回路と、サンプルホールド後の信号と前記入力される信号との差を取り出す減算器と、減算器からの信号を前半の期間にクランプする回路とを設けた。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 4 - 0 2 3 0 9 7
受付番号	5 0 4 0 0 1 5 6 7 0 6
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 6 年 2 月 4 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】

000002325

【住所又は居所】

千葉県千葉市美浜区中瀬 1 丁目 8 番地

【氏名又は名称】

セイコーインスツルメンツ株式会社

【代理人】

申請人

【識別番号】

100096378

【住所又は居所】

千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコー
インスツルメンツ株式会社 知的財産部

【氏名又は名称】

坂上 正明

特願 2 0 0 4 - 0 2 3 0 9 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 2 5]

1. 変更年月日

1 9 9 7 年 7 月 2 3 日

[変更理由]

名称変更

住 所

千葉県千葉市美浜区中瀬 1 丁目 8 番地

氏 名

セイコーインスツルメンツ株式会社